

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020072882 A
(43)Date of publication of application: 19.09.2002

(21)Application number: 1020010012908
(22)Date of filing: 13.03.2001
(30)Priority: ..

(71)Applicant: SAMSUNG ELECTRONICS CO.,
LTD.
(72)Inventor: HUH, SEONG UK
PARK, YEONG BAE

(51)Int. Cl G02F 1/136

(54) METHOD FOR FABRICATING TFT SUBSTRATE FOR LCD

(57) Abstract:

PURPOSE: A method for fabricating a TFT(Thin Film Transistor) substrate of an LCD(Liquid Crystal Display) is provided to delay the exposure of data lines to the etching gas via contact holes, thereby preventing the short or corrosion of the data lines. CONSTITUTION: A method for fabricating a TFT substrate of an LCD includes the steps of forming gate wires having gate lines(22), gate electrodes(26) connected to the gate lines and gate pads(24) on an insulating substrate(10) by stacking and patterning a conductive material, forming a gate insulating film, forming a semiconductor layer(40) on the gate insulating film, forming data wires having data lines(62) intersecting the gate lines, source electrodes(65) connected to the data lines and adjacent to the gate electrodes, drain electrodes(66) opposing the source electrodes with respect to the gate electrodes, and data pads(68) connected to the data lines by stacking and patterning a conductive material, forming first to third contact holes(72,74,76) by stacking and patterning a protection film to expose the gate pads, the data pads and the drain electrodes, and forming pixel electrodes(82) electrically connected to the drain electrodes via the third contact holes, wherein the contact holes are formed by photo-etching using a photosensitive film pattern having different thickness partially.

copyright KIPO 2003

Legal Status

Date of request for an examination (20060222)
Notification date of refusal decision (00000000)
Final disposal of an application (registration)
Date of final disposal of an application (20071224)
Patent registration number (1007967460000)
Date of registration (20080115)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/136

(11) 공개번호 특2002-0072882
(43) 공개일자 2002년09월19일

(21) 출원번호	10-2001-0012908
(22) 출원일자	2001년03월13일
(71) 출원인	삼성전자 주식회사
	경기 수원시 팔달구 매탄3동 416
(72) 발명자	허성욱
	서울특별시강남구압구정동한양아파트2동203호
	박영배
	경기도수원시팔달구영동동한국아파트214동902호
(74) 대리인	김원근, 유미 특허법인

심사청구 : 없음

(54) 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법

요약

먼저, 알루미늄 계열의 도전 물질을 적층하고 패터닝하여 기판 위에 게이트선, 게이트 전극 및 게이트 패드를 포함하는 가로 방향의 게이트 배선을 형성한다. 다음, 게이트 절연막을 형성하고, 그 상부에 반도체 층 및 저항 접촉층을 차례로 형성한다. 이어, 몰리브덴 계열의 데이터 배선용 도전 물질을 적층하고 패터닝하여 게이트선과 교차하는 데이터선, 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선을 형성한다. 이어, 보호막을 적층하고 그 상부에 감광막을 도포하고 현상하여 부분적으로 다른 두께를 가지는 감광막 패턴을 형성한다. 이때, 감광막 패턴은 드레인 전극 및 데이터 패드 상부에 대응하며 제1 두께를 가지는 제1 부분, 게이트 패드에 대응하며 두께가 거의 없는 제2 부분 및 제1 두께보다 두꺼운 제2 두께를 가지며 제1 및 제2 부분을 제외한 나머지 제3 부분을 포함한다. 이어, 감광막 패턴 및 그 하부의 보호막 및 게이트 절연막을 식각하여 드레인 전극, 게이트 패드 및 데이터 패드를 각각 드러내는 접촉 구멍을 형성한다. 이어, 투명한 도전 물질을 적층하고 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드와 각각 연결되는 화소 전극, 보조 게이트 패드 및 보조 데이터 패드를 형성한다.

대표도

도1

색인어

몰리브덴, 슬릿, 감광막, 패드, 접촉구멍

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고,
도 2는 도 1에 도시한 박막 트랜지스터 기판을 II-II 선을 따라 잘라 도시한 단면도이고,
도 3a, 4a, 5a 및 7a는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정에서의 박막 트랜지스터 기판의 배치도이고,
도 3b는 도 3a에서 IIIb-IIIb' 선을 따라 절단한 단면도이고,
도 4b는 도 4a에서 IVb-IVb' 선을 따라 잘라 도시한 도면으로서 도 3b의 다음 단계를 도시한 단면도이고,
도 5b는 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 4b의 다음 단계를 도시한 단면도이고,
도 6은 5b의 다음 단계를 도시한 단면도이고,
도 7b는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 6의 다음 단계를 도시한 단면도이고,
도 8은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,
도 9 및 도 10은 도 8에 도시한 박막 트랜지스터 기판을 IX-IX' 선 및 X-X' 선을 따라 잘라 도시한 단면도이고,

도 11a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,
 도 11b 및 11c는 각각 도 11a에서 X1b-X1b' 선 및 X1c-X1c' 선을 따라 잘라 도시한 단면도이며,
 도 12a 및 12b는 각각 도 11a에서 X1b-X1b' 선 및 X1c-X1c' 선을 따라 잘라 도시한 단면도로서, 도 11b 및 도 11c 다음 단계에서의 단면도이고,
 도 13a는 도 12a 및 12b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,
 도 13b 및 13c는 각각 도 13a에서 X111b-X111b' 선 및 X111c-X111c' 선을 따라 잘라 도시한 단면도이며,
 도 14a, 15a, 16a와 도 14b, 15b, 16b는 각각 도 13a에서 X111b-X111b' 선 및 X111c-X111c' 선을 따라 잘라 도시한 단면도로서 도 13b 및 13c 다음 단계들을 공정 순서에 따라 도시한 것이고,
 도 17a는 도 16a 및 16b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,
 도 17b 및 17c는 각각 도 17a에서 XV11b-XV11b' 선 및 XV11c-XV11c' 선을 따라 잘라 도시한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 박막 트랜지스터는 두 기판 중 하나에 형성되는 것이 일반적이다.

박막 트랜지스터가 형성되어 있는 기판은 마스크를 이용한 사진 식각 공정을 통하여 제조하는 것이 일반적이며, 게이트 배선, 반도체층, 데이터 배선 및 화소 전극을 형성하는 공정과 외부의 회로와 배선을 전기적으로 연결하기 위해 배선을 덮는 절연막을 식각하여 배선의 게이트 및 데이터 패드를 드러내는 공정을 통하여 형성된다. 이때, 데이터 배선은 반도체층과의 접촉 특성이 우수한 동시에 저저항 특성을 가지는 몰리브덴(Mo) 또는 몰리브덴-텅스텐(Mo-W)과 같은 몰리브덴 계열로 형성된다.

그러나, 패드를 드러내는 공정에서 질화 규소의 절연막을 식각하는 식각 기체로 바람직하게 SF₆, CF₄ 등을 사용하는데, 절연막을 식각하는 과정에서 몰리브덴 계열의 금속이 식각 기체에 오랜 시간 노출되는 경우에는 몰리브덴 계열의 배선이 식각되어 배선이 단선되거나 침식되는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 데이터 배선의 단선 또는 침식 불량을 방지할 수 있는 박막 트랜지스터 기판의 제조 방법을 제공하고자 한다.

발명의 구성 및 작용

이러한 과제를 해결하기 위하여, 본 발명에서는 데이터 배선을 드러내는 접촉부에 대응하는 부분에 감광막을 남기어 절연막을 식각하는 공정에서 데이터 배선이 식각 기체에 대하여 드러나는 것을 지연시킨다.

더욱 상세하게 본 발명에 따른 박막 트랜지스터 기판의 제조 방법에서는, 우선 절연 기판 위에 게이트 배선용 도전 물질을 적층하고 패터닝하여 게이트선, 게이트선과 연결되어 있는 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성한다. 이어, 게이트 절연막 및 반도체층을 형성하고, 그 상부에 데이터 배선용 도전 물질을 적층하고 패터닝하여 게이트선과 교차하는 데이터선, 데이터선과 연결되어 있으며 게이트 전극에 인접하는 소스 전극, 게이트 전극에 대하여 소스 전극의 맞은 편에 위치하는 드레인 전극 및 데이터선에 연결되어 있는 데이터 패드를 포함하는 데이터 배선을 형성한다. 이어, 보호막을 적층하고 패터닝하여 게이트 패드, 데이터 패드 및 드레인 전극을 각각 드러내는 제1 내지 제3 접촉 구멍을 형성하고, 제3 접촉 구멍을 통하여 드레인 전극과 전기적으로 연결되는 화소 전극을 형성한다. 이때, 제1 내지 제3 접촉 구멍 형성 단계는 부분적으로 다른 두께를 가지는 감광막 패턴을 이용한 사진 식각 공정으로 형성한다.

여기서, 감광막 패턴은 제1 두께를 가지는 제1 부분, 두께를 거의 가지지 않은 제2 부분, 제1 두께보다 두꺼운 두께를 가지며 제1 및 제2 부분을 제외한 제3 부분을 포함하는 것이 바람직하며, 사진 식각 공정에서 감광막 패턴은 제1 영역, 제1 영역보다 높은 투과율을 가지는 제2 영역 및 제1 영역보다 낮은 투과율을 가지는 제3 영역을 포함하는 광마스크를 이용하여 형성한다.

이때, 사진 식각 공정에서 제1 부분은 제2 및 제3 접촉 구멍에, 제2 부분은 제3 접촉 구멍에 대응하도록 형성하는 것이 바람직하다.

제1 내지 제3 영역의 투과율을 다르게 조절하기 위해서 광마스크에는 반투명막 또는 노광기의 분해능보다 작은 슬릿 패턴이 형성되어 있는 것이 바람직하다.

여기서, 데이터 배선 및 반도체층은 부분적으로 두께가 다른 감광막 패턴을 이용한 사진 식각 공정으로 형

성할 수 있다.

데이터 배선용 도전 물질은 알루미늄 계열 또는 몰리브덴 계열의 금속을 포함하고, 화소 전극은 IZO 또는 ITO로 형성하는 것이 바람직하다.

그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 기판의 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

먼저, 도 1 및 도 2를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고, 도 2는 도 1에 도시한 박막 트랜지스터 기판을 II-II 선을 따라 잘라 도시한 단면도이다.

절연 기판(10) 위에 저저항을 가지는 알루미늄 계열의 금속 물질로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다.

기판(10) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있으며, 게이트 절연막(30)은 이후에 형성되는 보호막(70)과 함께 게이트 패드(24) 상부를 드러내는 접촉 구멍(74)을 가진다.

게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(55, 56)이 각각 형성되어 있다.

저항 접촉층(55, 56) 및 게이트 절연막(30) 위에는 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금의 단일막으로 이루어진 데이터 배선(62, 64, 66, 68)이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항 접촉층(55)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다. 또한, 데이터 배선은 유지 용량을 향상시키기 위해 게이트선(22)과 중첩되어 있는 유지 축전기용 도전체 패턴(64)을 포함할 수 있다.

데이터 배선(62, 65, 66, 68)은 알루미늄 계열의 단일막으로 형성할 수도 있으며, 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 알루미늄 계열의 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 몰리브덴 계열 또는 크롬 등의 물질로 만드는 것이 바람직하다. 그 예로는 Cr/Al(또는 Al 합금) 또는 Al(또는 Al 합금)/Mo 등을 들 수 있다.

데이터 배선(62, 64, 65, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 보호막(70)이 형성되어 있다. 보호막(70)에는 유지 축전기용 도전체 패턴(64), 드레인 전극(66) 및 데이터 패드(68)를 드러내는 접촉 구멍(72, 76, 78)이 각각 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)이 형성되어 있다.

보호막(70) 위에는 접촉 구멍(72, 76)을 통하여 유지 축전기용 도전체 패턴(64) 및 드레인 전극(66)과 연결되어 있으며 화소에 위치하는 화소 전극(82)과 접촉 구멍(74, 78)을 통하여 각각 게이트 패드(24) 및 데이터 패드(68)와 연결되어 있는 보조 게이트 패드(84) 및 보조 데이터 패드(88)를 포함하며, IZO 또는 ITO 등의 투명 도전 물질로 이루어진 화소 배선이 형성되어 있다.

여기서, 화소 전극(82)은 도 1 및 도 2에서 보는 바와 같이, 게이트선(22)과 중첩되어 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수 있다.

이러한 본 발명의 실시예에 따른 구조에서는 저저항을 몰리브덴 계열의 금속으로 이루어진 데이터 배선(62, 64, 65, 66, 68)을 포함하고 있어 대화면 고정세의 액정 표시 장치에 적용할 수 있다.

그러면, 이러한 본 발명의 제1 실시예에 따른 구조의 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 대하여 도 1 및 도 2와 도 3a 내지 도 7b를 참고로 하여 상세히 설명한다.

먼저, 도 3a 및 3b에 도시한 바와 같이, 기판(10) 위에 저저항을 가지는 알루미늄 계열의 도전막을 2,500 Å 정도의 두께로 적층하고 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트 패드(24)를 포함하는 가로 방향의 게이트 배선을 형성한다.

다음, 도 4a 및 도 4b에 도시한 바와 같이, 게이트 절연막(30), 비정질 규소층(40)과 도핑된 비정질 규소층(50)의 삼층막을 연속하여 적층하고 마스크를 이용한 패터닝 공정으로 비정질 규소층(40)과 도핑된 비정질 규소층(50)을 패터닝하여 게이트 전극(24)과 마주하는 게이트 절연막(30) 상부에 반도체층(40)과 저항 접촉층(50)을 형성한다.

다음, 도 5a 및 도 5b에 도시한 바와 같이, 저저항을 가지는 동시에 비정질 규소층(40, 50)과 접촉 특성이 우수한 몰리브덴 또는 몰리브덴 합금을 적층하고 마스크를 이용한 사진 공정으로 패터닝하여 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)은 한쪽 끝에 연결되어 있는 데이터 패드(68) 및 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(66)과 마주하는 드레인 전극(66) 및 게이트선(22)과 중첩되어 있는 유지 축전기용 도전체 패턴(64)을 포함하는 데이터 배선을 형성한다.

이어, 데이터 배선(62, 64, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴(50)을 식각하여 게이

트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(55, 56) 사이의 반도체층 패턴(40)을 노출시킨다. 이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.

이어, 도 6에서 보는 바와 같이, 기판(10)의 상부에 질화 규소 또는 유기 절연막으로 이루어진 보호막(70)을 적층하고, 그 위에 그 위에 감광막을 1 μm 내지 2 μm 의 두께로 도포한 후, 마스크를 통하여 사진 공정으로 감광막에 빛을 조사한 후 현상하여 몰리브덴 계열로 이루어진 드레인 전극(66), 유지 축전기용 도전체 패턴(64) 및 데이터 패드(68)를 드러내는 접촉 구멍(76, 72, 78)이 형성될 C 영역에는 중간 두께를 가지며, 게이트 패드(24)를 드러내는 접촉 구멍(74)이 형성될 B 영역에는 두께가 거의 없고, 나머지 A 영역에는 C 영역보다 두꺼운 두께는 가지는 감광막 패턴(102, 104)을 형성한다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

이러한 중간 두께의 감광막(104)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

여기서, C 영역에 중간 두께를 가지는 감광막 패턴(102)을 남기는 것은 후속 공정에서 바람직하게 SF_6 또는 CF_4 등을 포함하는 식각 기체를 이용하여 질화 규소의 보호막(70) 및 게이트 절연막(30)을 식각하여 접촉 구멍(72, 74, 76, 78)을 형성할 때 몰리브덴 계열의 데이터 배선(64, 66, 68)이 식각 기체에 오랜 시간 동안 노출되는 것을 방지하기 위함이다. 즉, 접촉 구멍(72, 74, 76, 78)을 형성하기 위해 식각 공정은 보호막(70) 및 게이트 절연막(30)을 식각하여 게이트 패드(24)가 드러날 때까지 진행되어야 한다. 그런데, 데이터 배선(64, 66, 68) 상부에는 보호막(70)만이 형성되어 있어 게이트 패드(24)를 드러내기 위해 게이트 절연막(30)을 식각하는 동안에 보호막(70)에는 접촉 구멍(72, 76, 78)이 이미 완성되어 접촉 구멍(72, 76, 78)으로 데이터 배선(64, 66, 68)이 드러나게 되어 식각 기체에 노출되며, 이로 인하여 데이터 배선(64, 66, 68)이 단선되거나 침식된다. 본 발명에서와 같이, C 영역에 중간 두께를 가지는 감광막 패턴(102)을 남기어 보호막(70)에 접촉 구멍(72, 76, 78)으로 몰리브덴 계열로 이루어진 데이터 배선(64, 66, 68)이 드러나는 것을 지연시켜 접촉 구멍(72, 76, 78)으로 데이터 배선(64, 66, 68)이 노출되는 것을 방지한다. 이때, 감광막 패턴(102)의 두께는 식각 조건에 따라 다르게 조절할 수 있으며, 감광막 패턴(102)과 보호막(70) 및 게이트 절연막(30) 사이에 식각 선택비가 없는 공정 조건을 선택하는 경우에는 감광막 패턴(102)의 두께는 게이트 절연막(30)의 두께와 동일하게 형성하는 것이 바람직하다.

이어, 도 7a 및 도 7b에서 보는 바와 같이, 감광막 패턴(104) 및 그 하부의 막들, 즉 보호막(70) 및 게이트 절연막(30)에 대한 식각을 진행하여 접촉 구멍(72, 74, 76, 78)을 완성한다.

다음, 마지막으로 도 1 및 2에 도시한 바와 같이, IZO 또는 ITO막을 적층하고 마스크를 이용한 패턴닝을 실시하여 접촉 구멍(72, 76)을 통하여 유지 축전기용 도전체 패턴(64) 및 드레인 전극(66)과 전기적으로 연결되는 화소 전극(82)과 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)를 각각 형성한다.

이러한 본 발명의 실시예에 따른 제조 방법에서는 접촉 구멍(72, 74, 76, 78)을 형성할 때 데이터 배선(64, 66, 68)의 상부에 감광막 패턴(104)을 남기어 보호막(70) 및 게이트 절연막(30)을 식각하기 위한 식각 기체에 몰리브덴 계열의 데이터 배선(64, 66, 68)이 드러나는 것을 지연시킴으로써 데이터 배선(64, 66, 68)의 단선 또는 침식을 방지할 수 있다.

이러한 방법은 앞에서 설명한 바와 같이, 5매의 마스크를 이용하는 제조 방법에 적용할 수 있지만, 4매 마스크를 이용하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

먼저, 도 8 내지 도 10을 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.

도 8은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 9 및 도 10은 각각 도 8에 도시한 박막 트랜지스터 기판을 '1X-1X' 선 및 '1X-1X' 선을 따라 잘라 도시한 단면도이다.

먼저, 절연 기판(10) 위에 제1 실시예와 동일하게 알루미늄 계열의 금속으로 이루어진 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 게이트 배선이 형성되어 있다. 그리고, 게이트 배선은 기판(10) 상부에 게이트선(22)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가 받는 유지 전극(28)을 포함한다. 유지 전극(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

게이트 배선(22, 24, 26, 28) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26, 28)을 덮고 있다.

게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.

저항성 접촉층 패턴(55, 56, 58) 위에는 저저항을 가지는 동시에 반도체 패턴(42, 48) 또는 중간층 패턴(55, 56, 58)의 비정질 규소와 접촉 특성이 우수한 몰리브덴 계열의 도전 물질로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(62, 68, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(64)도 포함한다. 유지 전극(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(64) 또한 형성하지 않는다.

데이터 배선(62, 64, 65, 66, 68)도 게이트 배선(22, 24, 26, 28)과 마찬가지로 알루미늄 계열의 도전막을 포함하고, 제1 실시예와 유사하게 크롬 또는 몰리브덴 또는 몰리브덴 합금을 포함하는 이중막으로 형성될 수도 있다.

접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 68, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(64)과 동일하다.

한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 57)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(64) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 68, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

데이터 배선(62, 64, 65, 66, 68) 위에는 보호막(70)이 형성되어 있으며, 보호막(70)은 드레인 전극(66), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64)을 드러내는 접촉구멍(76, 78, 72)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)을 가지고 있다. 보호막(70)은 질화규소나 아크릴계 따위의 유기 절연 물질로 이루어질 수 있다.

보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 IZO(indium zinc oxide) 또는 ITO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(76)을 통하여 드레인 전극(66) 전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(72)을 통하여 유지 축전기용 도전체 패턴(64)과 전기적으로 연결되어 도전체 패턴(64)으로 화상 신호를 전달한다. 한편, 게이트 패드(24) 및 데이터 패드(68) 위에는 접촉 구멍(74, 78)을 통하여 각각 이들과 연결되는 보조 게이트 패드(84) 및 보조 데이터 패드(88)가 형성되어 있으며, 이들은 패드(24, 68)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

여기에서는 화소 전극(82)의 재료의 예로 투명한 IZO 및 ITO를 들었으나, 반사형 액정 표시 장치의 경우 불투명한 도전 물질을 사용하여도 무방하다.

그러면, 도 8 내지 도 10의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 8 내지 도 10과 도 11a 내지 도 17c를 참조하여 설명하기로 한다.

먼저, 도 11a 내지 11c에 도시한 바와 같이, 제1 실시예와 동일하게 저저항의 알루미늄 계열의 도전 물질을 적층하고 제1 마스크를 이용한 사진 식각 공정으로 기판(10) 위에 게이트선(22), 게이트 패드(24), 게이트 전극(26) 및 유지 전극(28)을 포함하는 게이트 배선을 형성한다.

다음, 도 12a 및 12b에 도시한 바와 같이, 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 몰리브덴 계열의 도전체층(60)을 스퍼터링 등의 방법으로 연속하여 적층한 다음, 그 위에 감광막(110)을 1 μm 내지 2 μm의 두께로 도포한다.

그 후, 제2 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 13b 및 13c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법은 제1 실시예의 방법과 동일하다.

이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을

진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

먼저, 도 14a 및 14b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

도전체층(60)이 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 어느 하나인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr은 건식 식각 방법으로는 잘 제거되지 않기 때문에 도전체층(60)이 Cr이라면 습식 식각만을 이용하는 것이 좋다. 도전체층(60)이 Cr인 습식 식각의 경우에는 식각액으로 $CeNH_4O_3$ 을 사용할 수 있고, 도전체층(60)이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는 CF_4 와 HCl의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

이렇게 하면, 도 14a 및 도 14b에 나타난 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(64)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 64)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

이어, 도 15a 및 15b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF_6 과 HCl의 혼합 기체나, SF_6 과 O_2 의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

이렇게 하면, 도 15a 및 15b에 나타난 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(64) 하부의 중간층 패턴을 가리킨다.

이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

다음, 도 16a 및 16b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남은 반도체 패턴(42)의 두께를 조절하기가 쉽지 않기 때문이다. 예를 들면, SF_6 과 O_2 의 혼합 기체를 사용하여 소스/드레인용 도전체 패턴(67)을 식각하는 것을 들 수 있다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF_4 와 HCl의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 들 수 있으며, CF_4 와 O_2 를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이때, 도 15b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직한 것은 물론이다.

이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

이와 같이 하여 데이터 배선(62, 64, 65, 66, 68)을 형성한 후, 도 17a 내지 17c에 도시한 바와 같이 질화 규소를 CVD 방법으로 증착하거나 유기 절연 물질을 스프인 코팅하여 3,000 Å 이상의 두께를 가지는 보호막(70)을 형성한 다음, 데이터 배선(64, 66, 68)이 식각용 기체에 드러나는 것을 지연하기 위하여 제3 마스

크를 이용하여 제1 실시예와 같은 감광막 패턴(102, 104, 도 6참조)을 형성한다. 이어, 감광막 패턴(102, 104)과 그 하부의 보호막(70) 및 게이트 절연막(30)과 함께 식각하여 드레인 전극(66), 게이트 패드(24), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64)을 각각 드러내는 접촉 구멍(76, 74, 78, 72)을 형성한다.

마지막으로, 도 8 내지 도 10에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 IZO 또는 ITO층을 증착하고 제4 마스크를 사용하여 식각하여 접촉 구멍(72, 76)에서 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 전기적으로 연결된 화소 전극(82), 접촉 구멍(74)을 통하여 게이트 패드(24)와 연결된 보조 게이트 패드(84) 및 접촉 구멍(78)에서 데이터 패드(68)와 연결된 보조 데이터 패드(88)를 형성한다.

이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)이 분리하여 제조 공정을 단순화할 수 있다.

발명의 효과

이와 같이, 본 발명에 따르면 제조 공정에서 물리브덴 계열의 데이터 배선이 접촉 구멍을 통하여 식각 기체에 노출되는 것을 지연시킴으로써 데이터 배선이 단선되거나 침식되는 것을 방지할 수 있다.

(57) 청구의 범위

청구항 1

절연 기판 위에 게이트 배선용 도전 물질을 적층하고 패터닝하여 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

게이트 절연막을 형성하는 단계,

상기 게이트 절연막 상부에 반도체층을 형성하는 단계,

상기 데이터 배선용 도전 물질을 적층하고 패터닝하여 게이트선과 교차하는 데이터선, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극, 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극 및 상기 데이터선에 연결되어 있는 데이터 패드를 포함하는 데이터 배선을 형성하는 단계,

보호막을 적층하고 패터닝하여 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극을 각각 드러내는 제1 내지 제3 접촉 구멍을 형성하는 단계,

상기 제3 접촉 구멍을 통하여 상기 드레인 전극과 전기적으로 연결되는 화소 전극을 형성하는 단계를 포함하며,

상기 제1 내지 제3 접촉 구멍 형성 단계는 부분적으로 다른 두께를 가지는 감광막 패턴을 이용한 사진 식각 공정으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 2

제1항에서,

상기 감광막 패턴은 제1 두께를 가지는 제1 부분, 두께를 거의 가지지 않은 제2 부분, 상기 제1 두께보다 두꺼운 제2 두께를 가지며 상기 제1 및 제2 부분을 제외한 제3 부분을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 3

제2항에서,

상기 사진 식각 공정에서 상기 감광막 패턴은 제1 영역, 상기 제1 영역보다 높은 투과율을 가지는 제2 영역 및 상기 제1 영역보다 낮은 투과율을 가지는 제3 영역을 포함하는 광마스크를 이용하여 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 4

제3항에서,

상기 사진 식각 공정에서 상기 제1 부분은 상기 제2 및 제3 접촉 구멍에, 상기 제2 부분은 상기 제3 접촉 구멍에 대응하도록 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 5

제4항에서,

상기 제1 내지 제3 영역의 투과율을 다르게 조절하기 위해서 상기 광마스크에는 반투명막 또는 노광기의 분해능보다 작은 슬릿 패턴이 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 6

제1항에서,

상기 데이터 배선 및 상기 반도체층은 부분적으로 두께가 다른 감광막 패턴을 이용한 사진 식각 공정으로

형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 7

제1항에서,

상기 데이터 배선용 도전 물질은 알루미늄 계열 또는 몰리브덴 계열의 금속을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

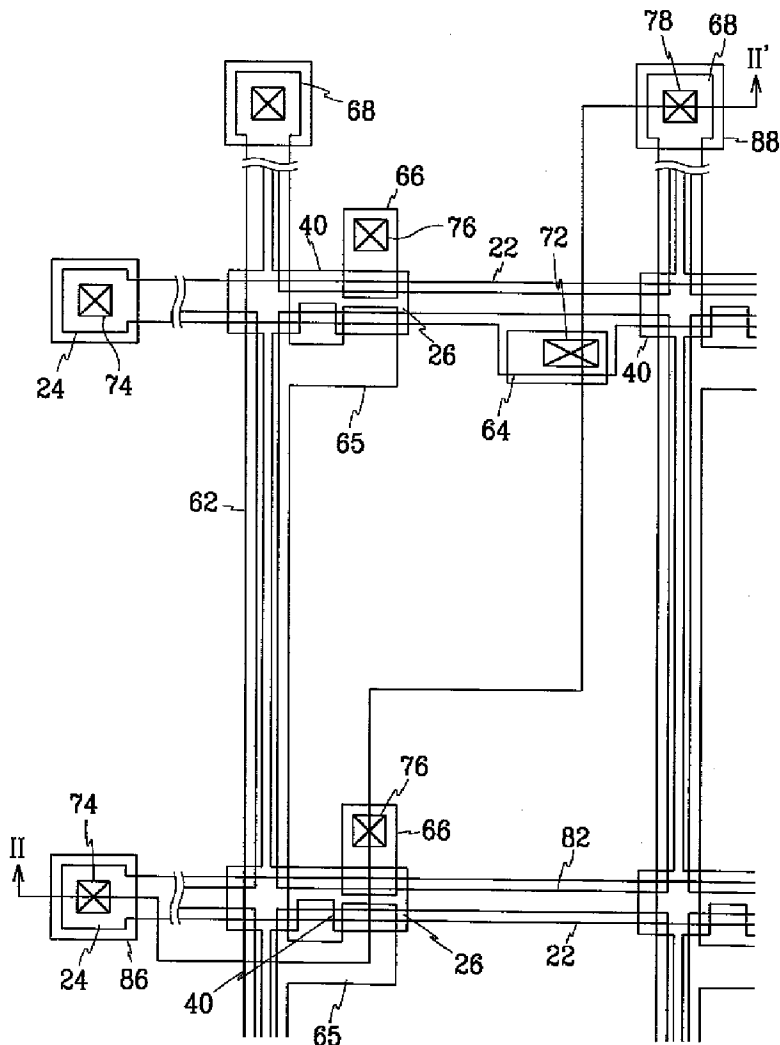
청구항 8

제1항에서,

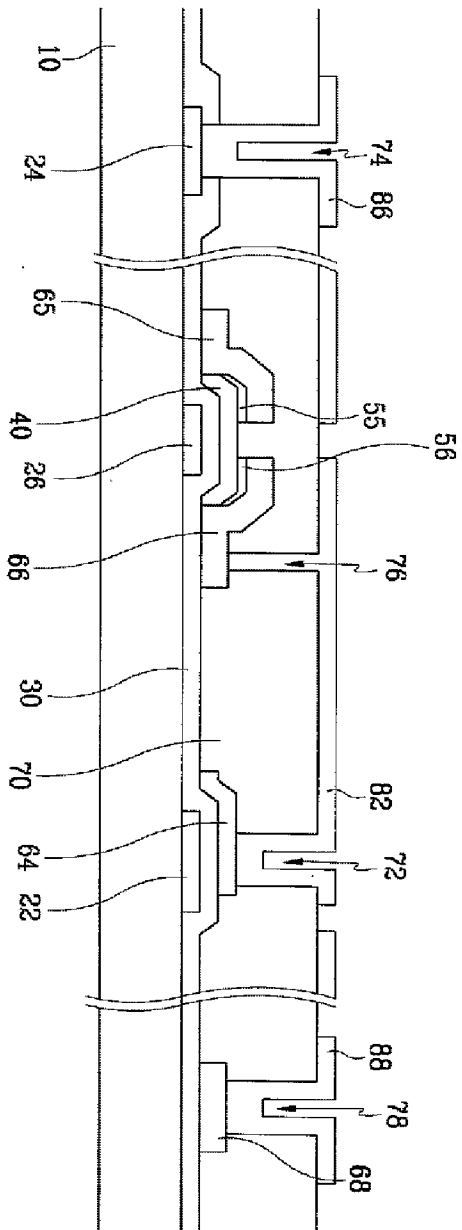
상기 화소 전극은 IZO 또는 ITO로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

도면

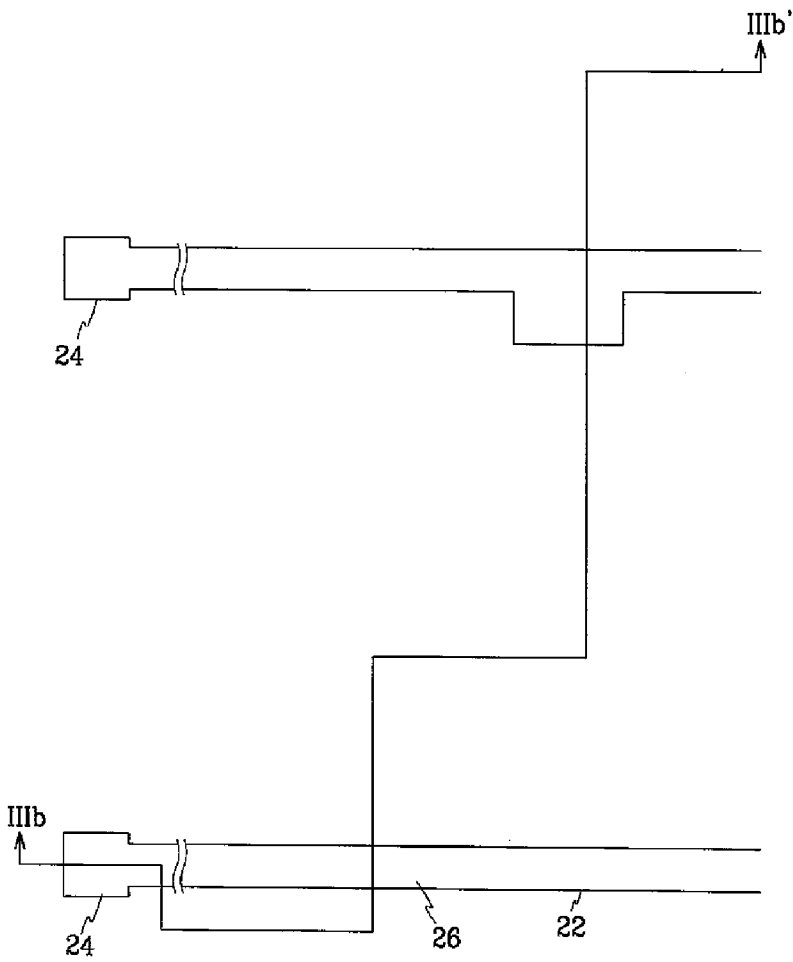
도면1

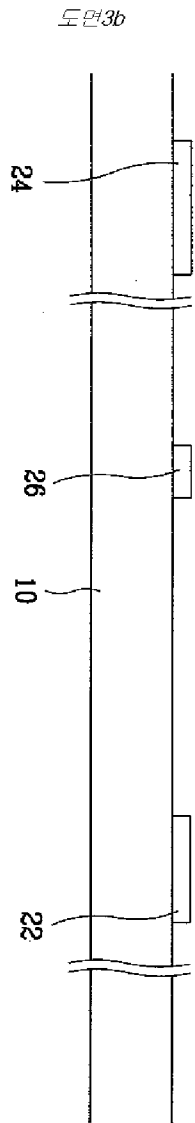


도면2

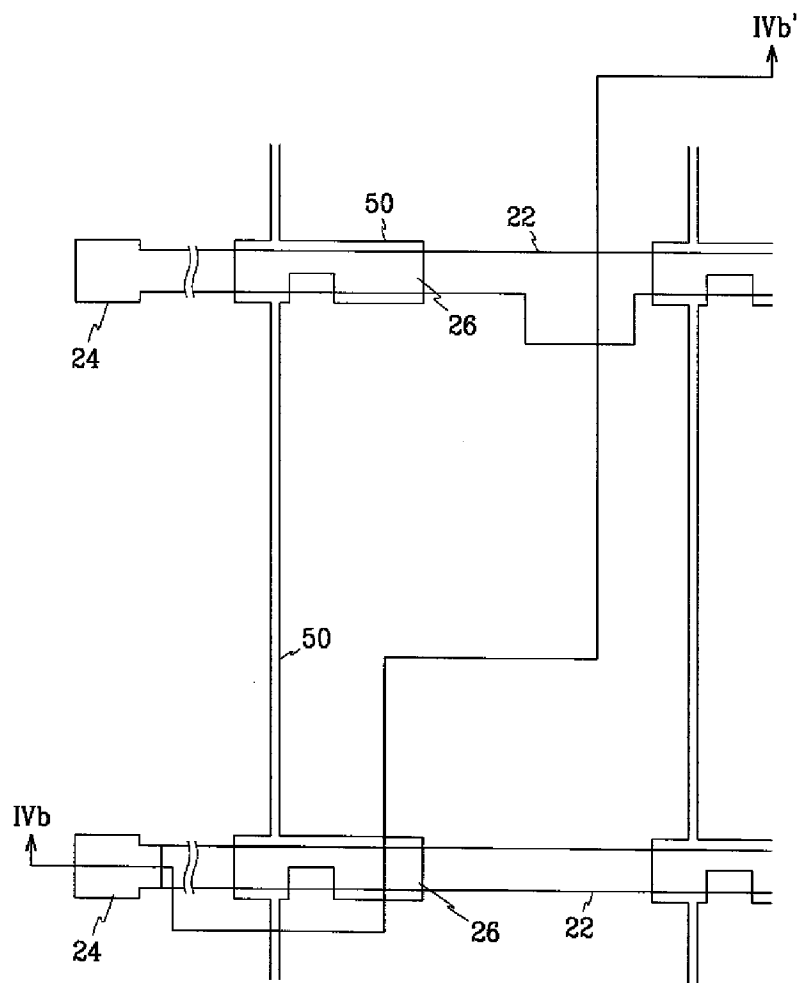


도면3a

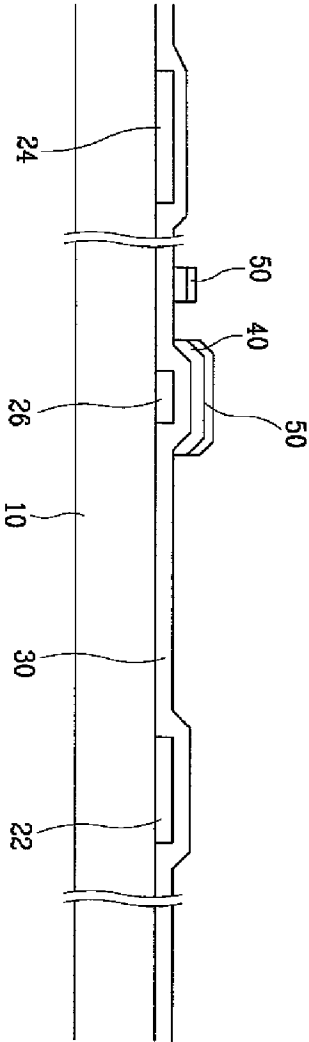




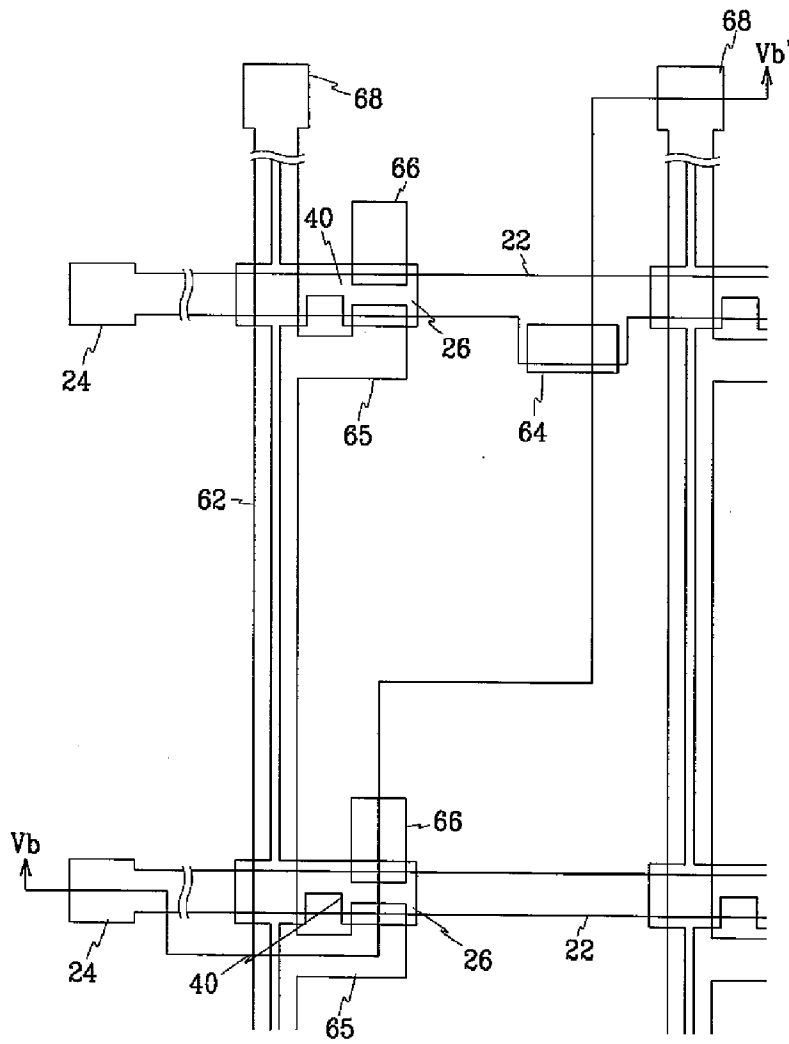
도면4a

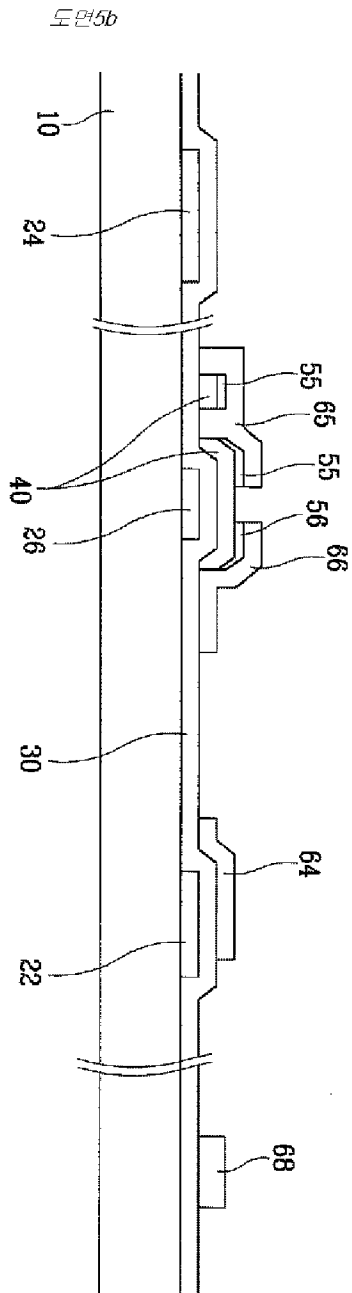


도면4b

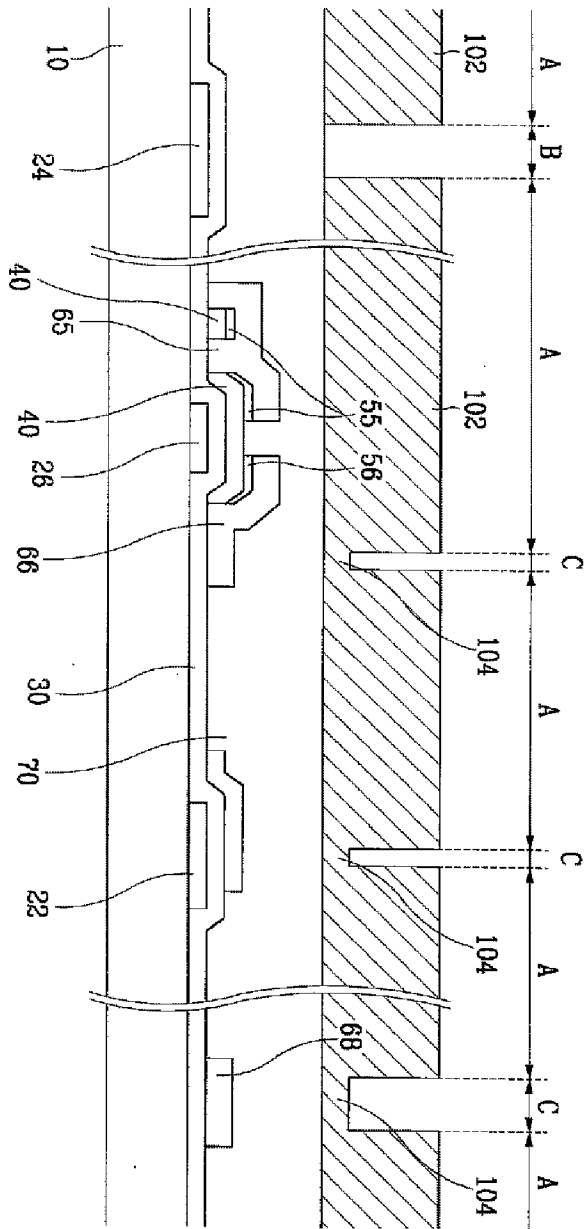


도면 5a

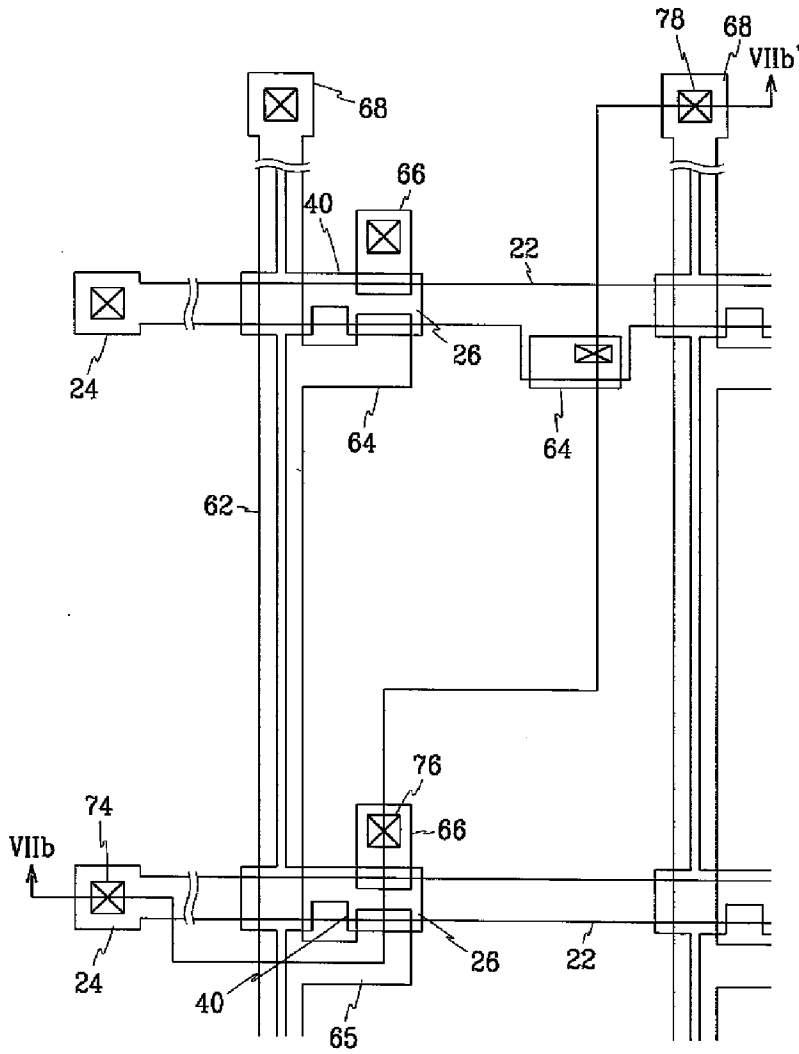


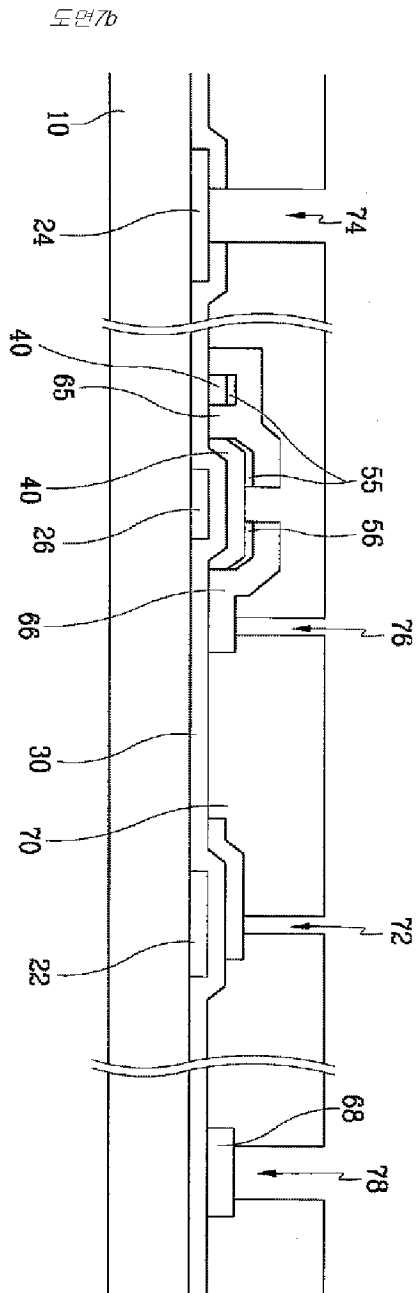


도면6

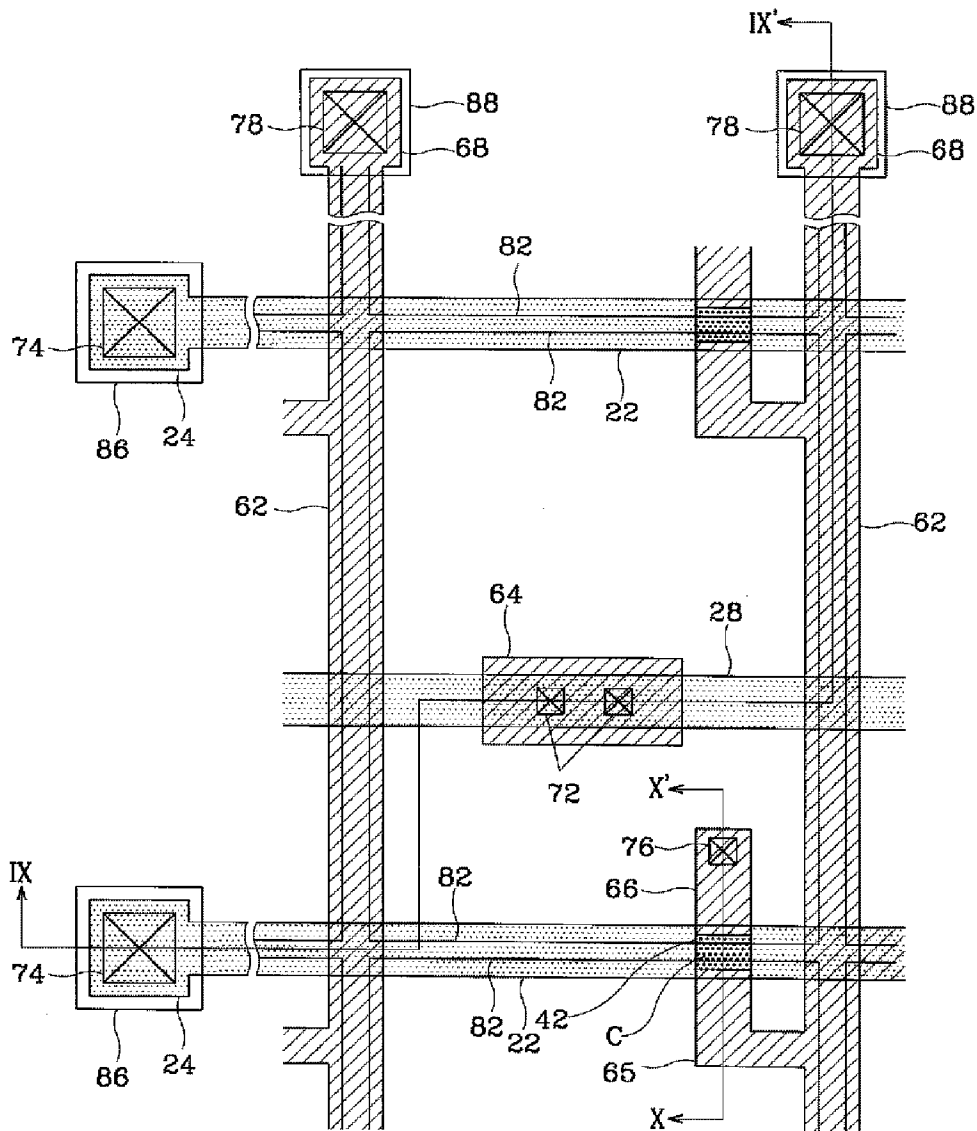


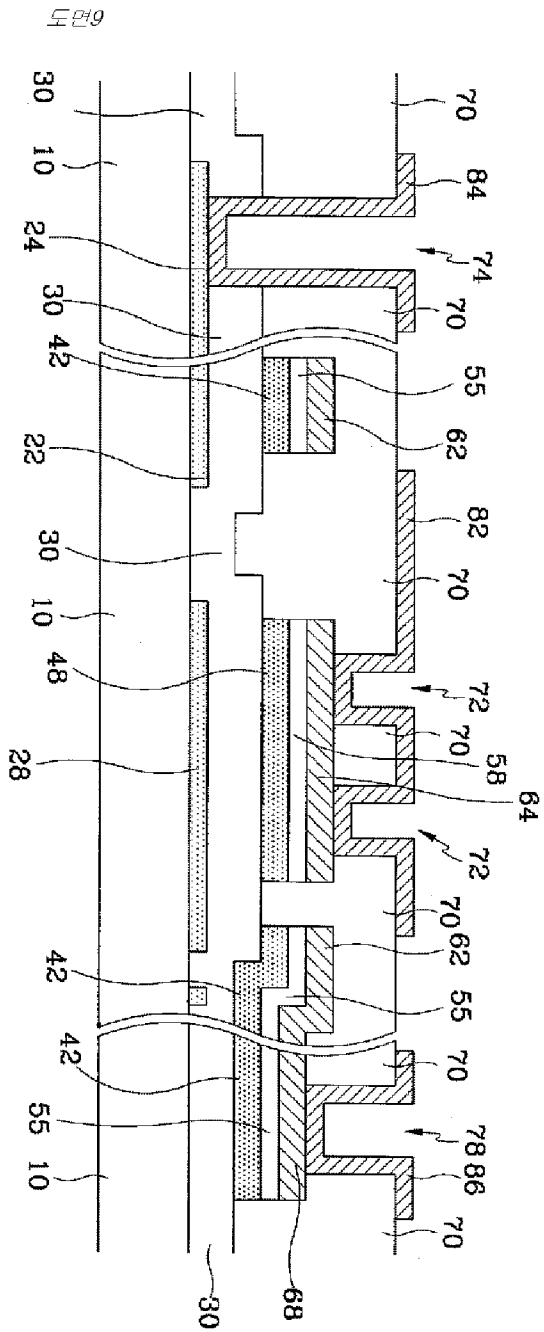
도면7a



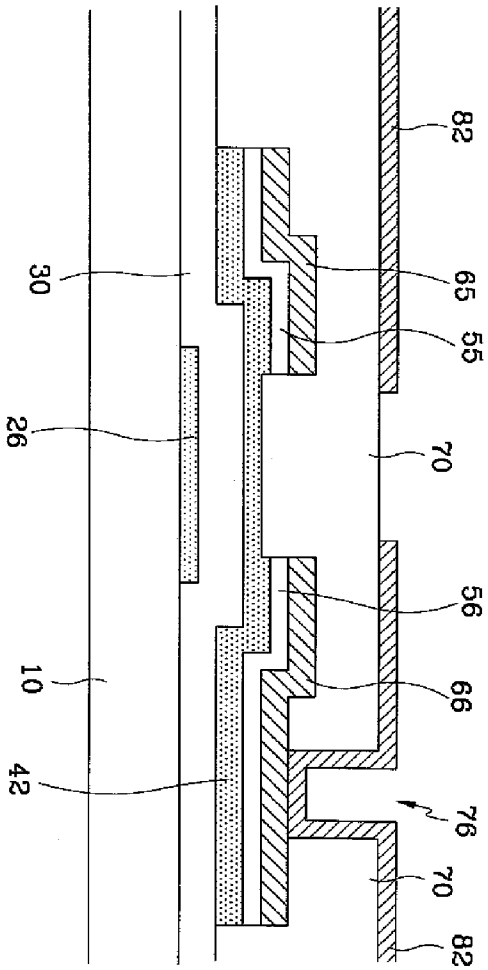


도면8

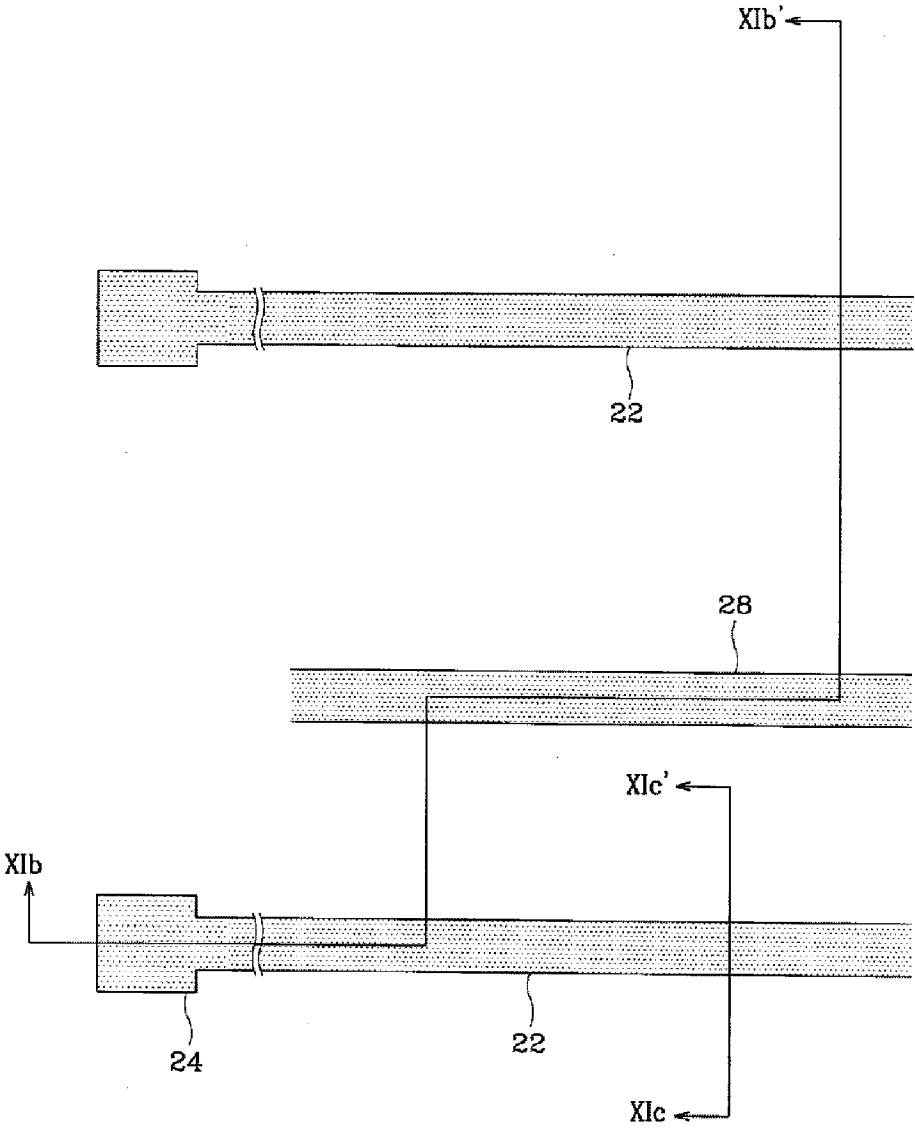




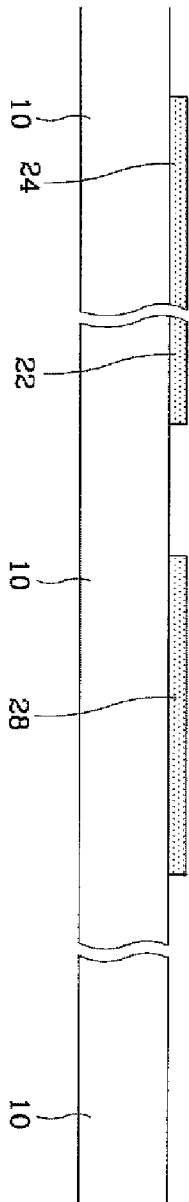
도면10



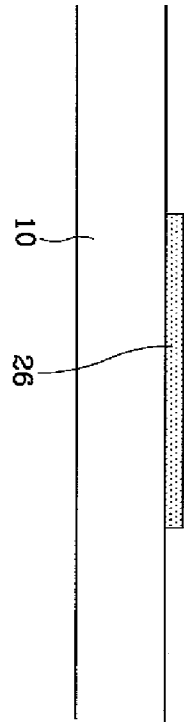
도면 11a



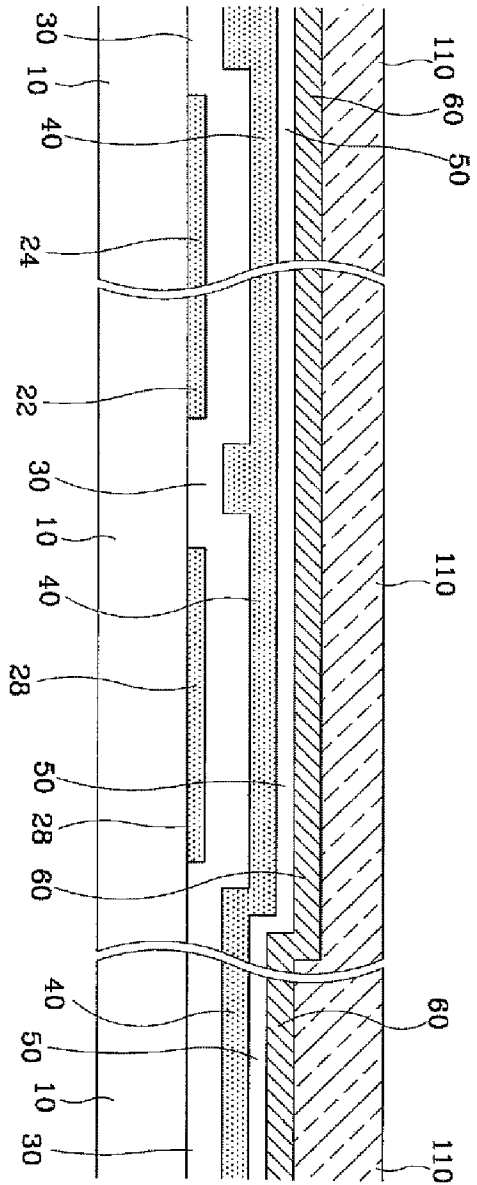
도면11b



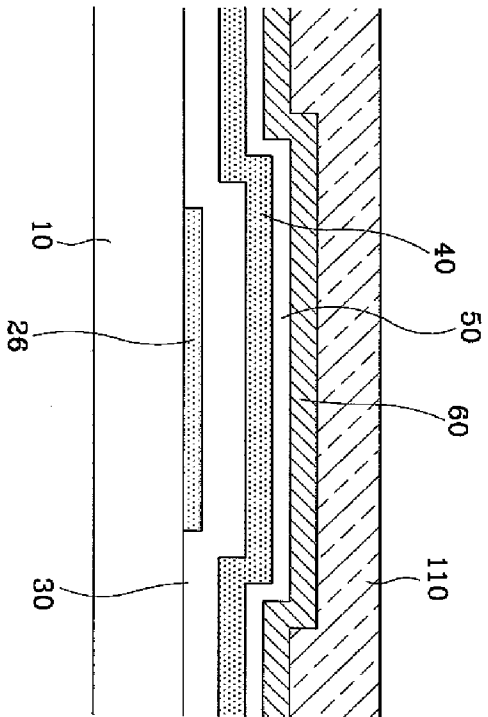
도면11c



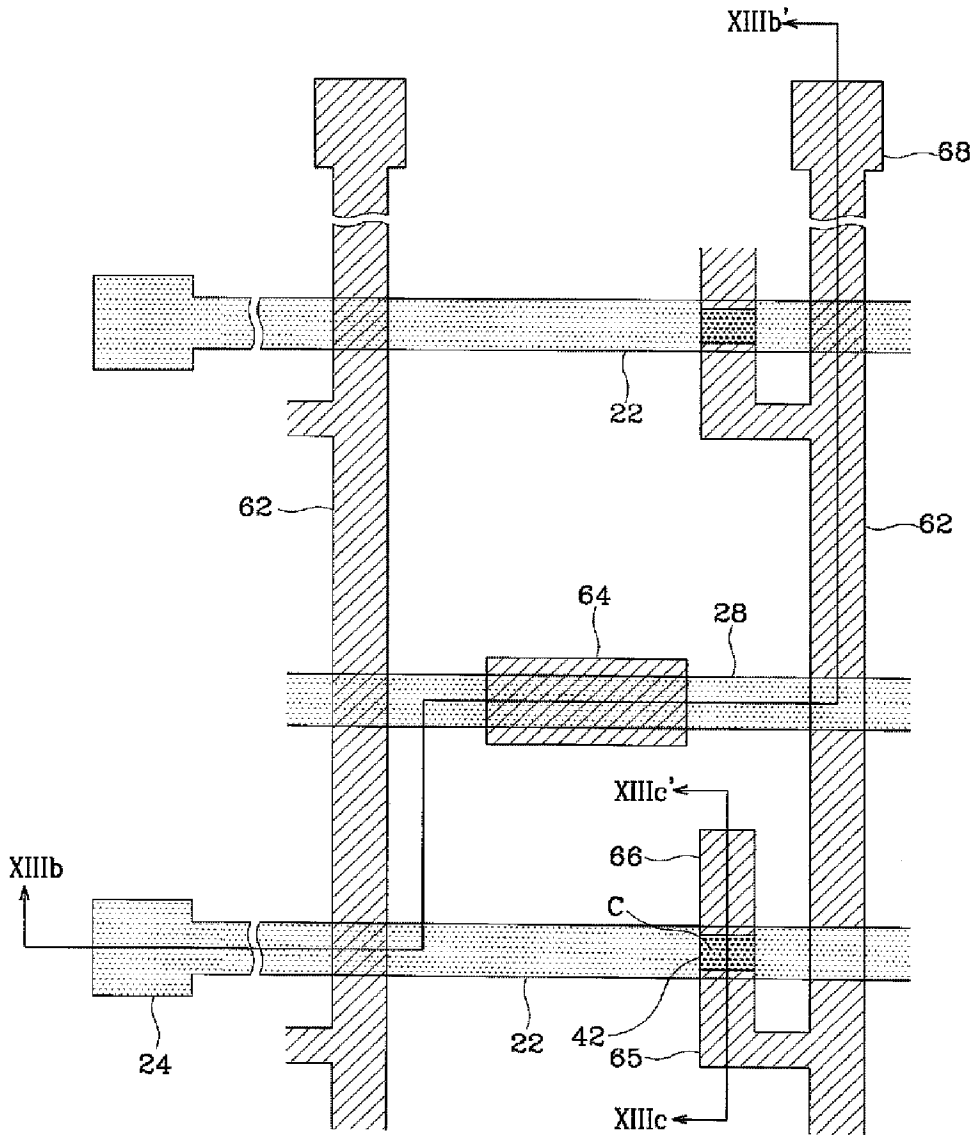
도면 12a



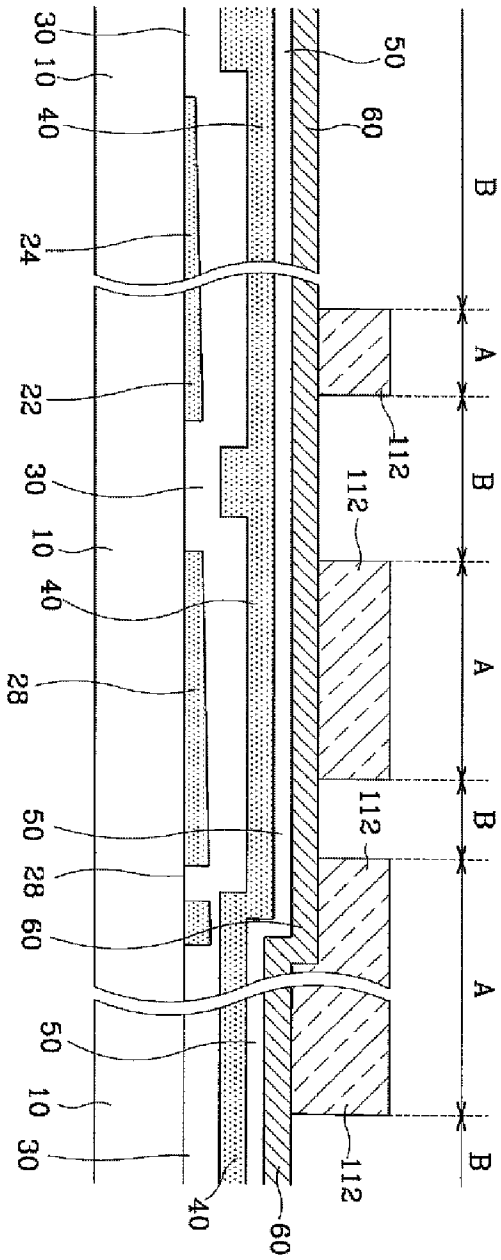
도면12b



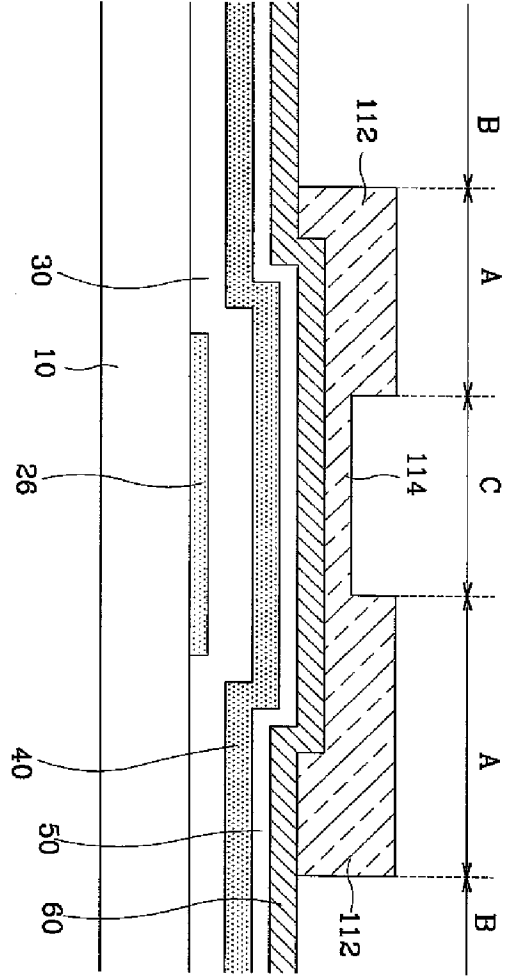
도면 13a



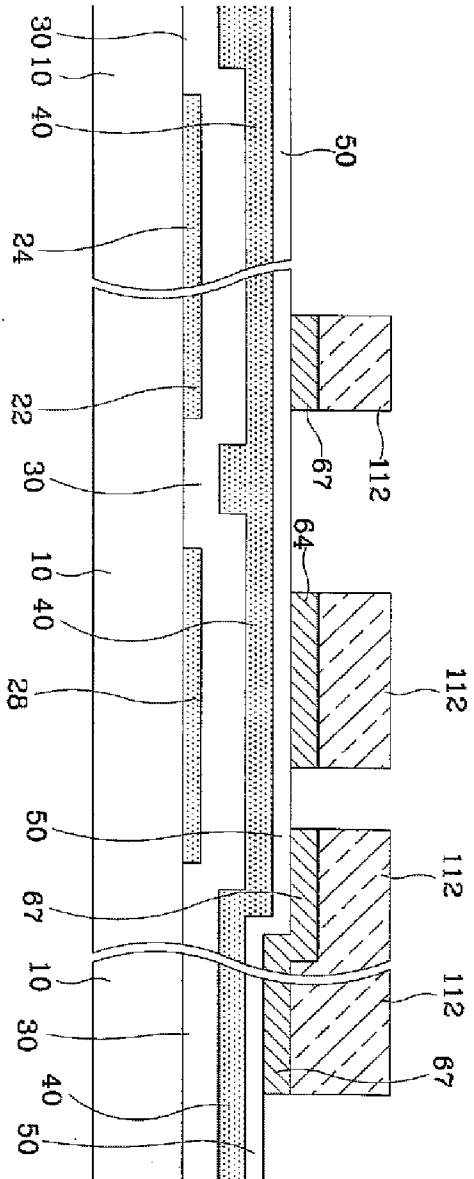
도면 13b



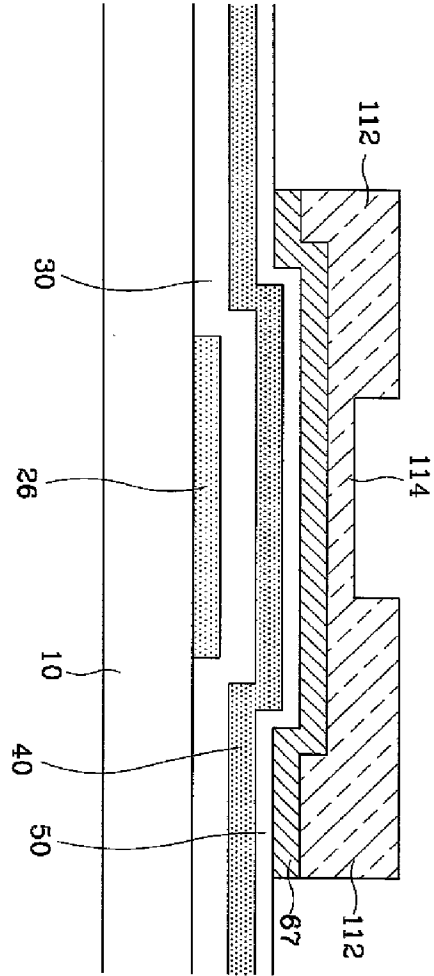
도면 13c



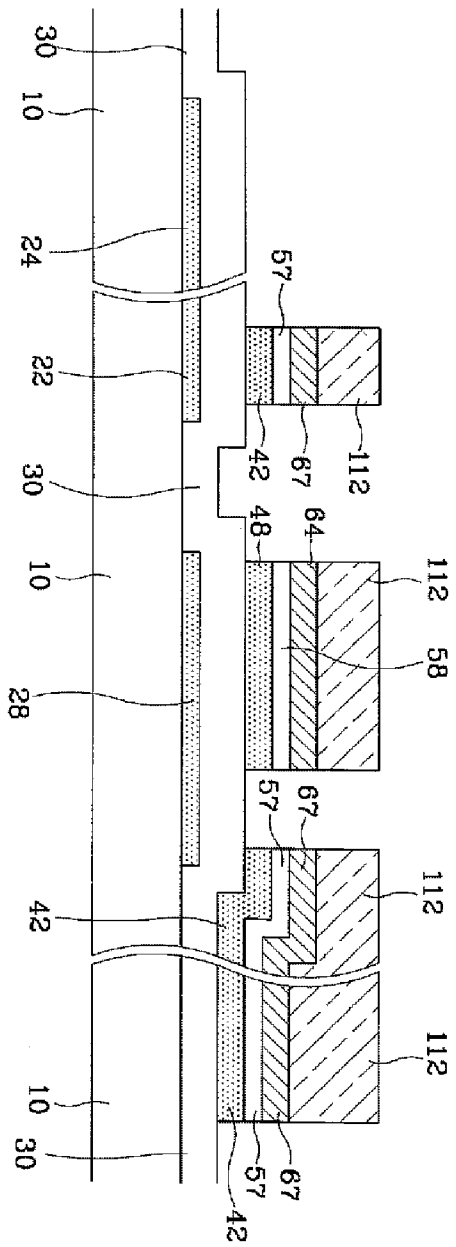
도면 14a



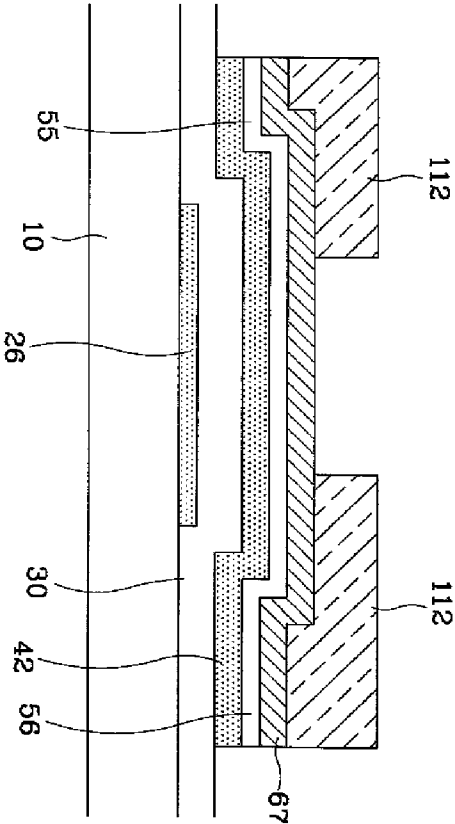
도면14b



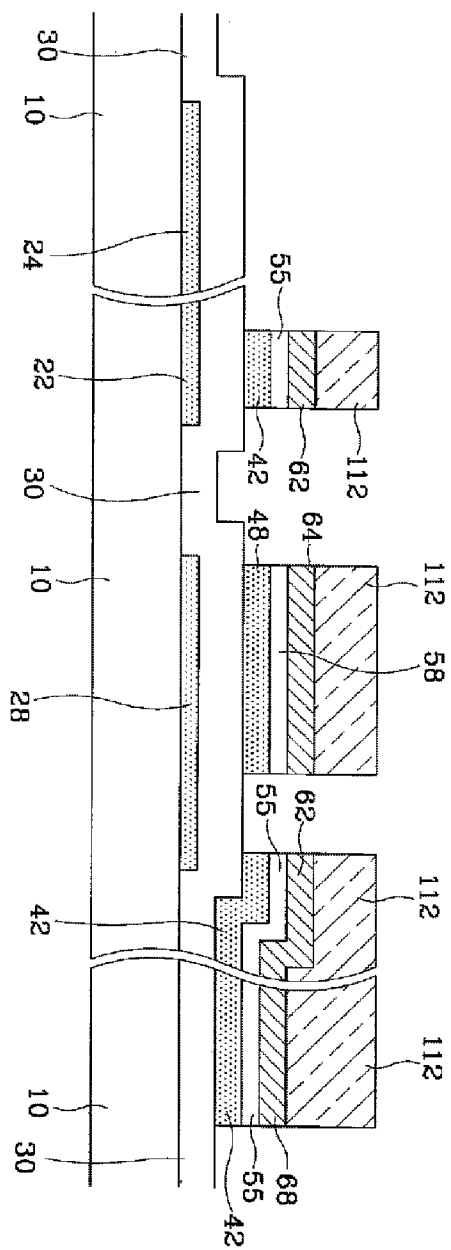
도면 15a

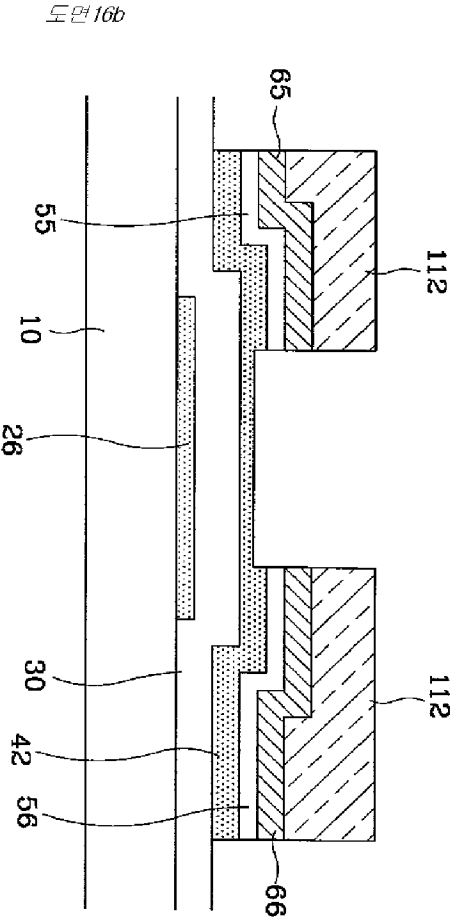


도면 15b

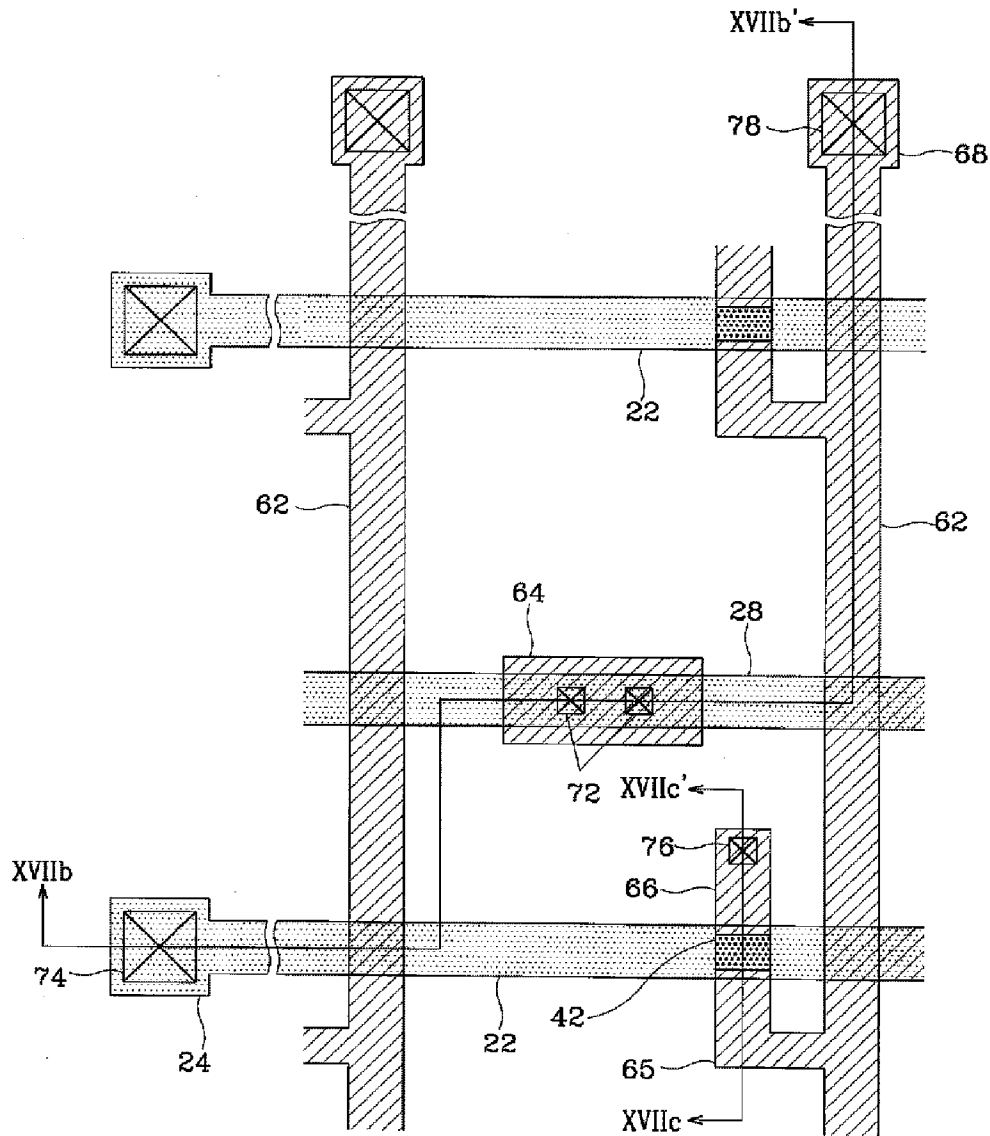


도면 16a

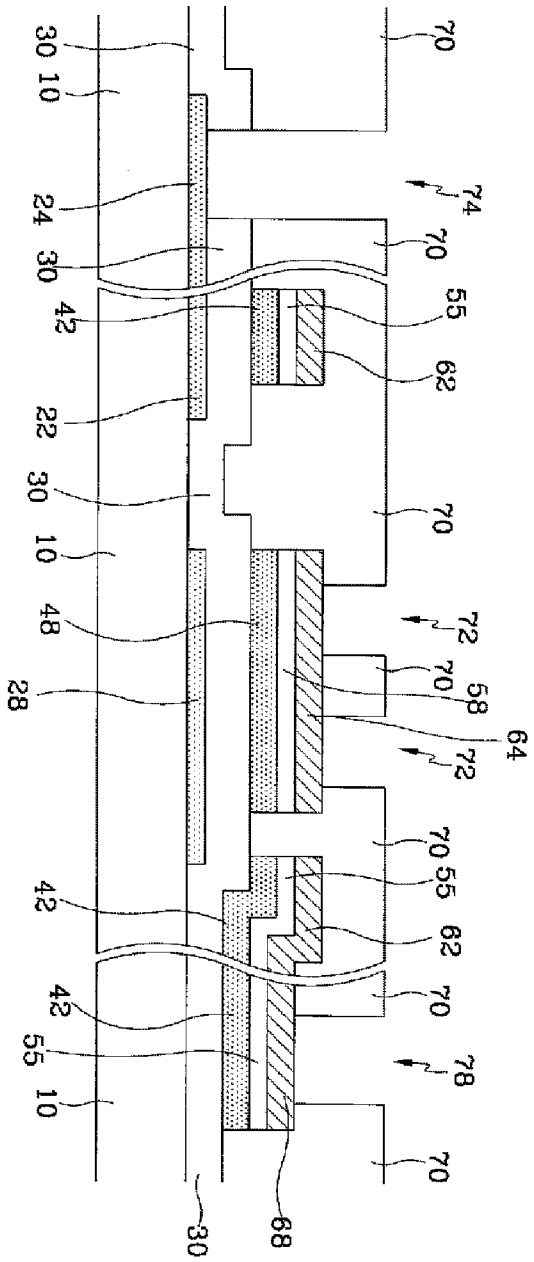




도면17a



도면 17b



도면17c

